

Zoran V. Stojanović,
Ei - Jugorendgen,
Bul. V. Vlahovića bb., Niš.

Predrag Petković,
Dragiša Milovanović,
Elektronski fakultet,
Beogradska 14, Niš.

MODELIRANJE TRANSMISIONOG GEJTA U LOGIČKOM SIMULATORU

TRANSMISSION GATE MODELLING IN THE LOGIC SIMULATOR

SADRŽAJ - U članku su prikazani problemi koji se javljaju kod modeliranja transmisionog gejta. Dat je nov model ovog elementa koji će se koristiti u novoj verziji logičkog simulatora LOST. Novi model transmisionog gejta rešava problem njegove bilateralnosti kao i problem nagomilanog naelektrisanja na njegovom izlaznom čvoru. Uvedena je i jačina signala, što će omogućiti simulaciju specifičnih slučajeva MOS kola.

ABSTRACT - The problem of transmission gate modelling is given in this paper. The new model of this element, to be used in a new version of the logic simulator LOST is given. The new model of transmission gate solves the problem of its bilateral properties as well as the problem of the charge storage at the transmission gate output node. The signal strength has been introduced which enables simulation of specific MOS circuit cases.

1. UVOD

Transmisioni gejti, ili bilateralni CMOS prekidači, imaju značajnu ulogu u CMOS logičkim kolima. Njega čine MOS tranzistori N i P tipa, vezani u paraleli. Ne umanjujući opštnost rezultata smatraćemo da je transmisioni gejti predstavljen tranzistorom N tipa.

Konstrukcija i način rada transmisionog gejta dosta je jednostavna. Međutim njegovo modeliranje je prilično složeno, pa njegov model spada u najsloženije modele logičkih kola, koji se koriste u procesu logičke simulacije [1].

Da bi pristupili modeliranju transmisionog gejta, razmatraćemo osobine koje ispoljava kada se nalazi u sastavu nekog logičkog kola. Sistematizacijom takvih razmatranja možemo izvesti sledeće zaključke [2]:

1. S obzirom da transmisioni gejt predstavlja bilateralni element spoljna konfiguracija logičkog kola u kojem je vezan određuje koji će priključak transmisionog gejta biti ulazni, a koji izlazni.

2. Kad transmisioni gejt predje u stanje visoke impedanse izlazni čvor za koji je bio vezan zadržava stanje koje je imao pre pojave stanja visoke impedanse. Ovo je rezultat velike ulazne otpornosti, kao i velike ulazne i parazitne kapacitivnosti CMOS opterećenja transmisionog gejta, koje su bile napunjene do vrednosti definisane logičkim stanjem u tom čvoru pre pojave stanja visoke impedanse. Te kapacitivnosti ne mogu brzo da se isprazne zbog velike otpornosti koja karakteriše transmisioni gejt u neprovodnom stanju i velike ulazne kapacitivnosti CMOS opterećenja. Kad radi u takvim uslovima transmisioni gejt se ponaša kao sekvencijalno kolo.

3. Najveća primena transmisionog gejta ogleda se u mogućnosti vezivanja više transmisionih gejtova za jedan tačku (BUS) [3]. Koji će priključak biti ulazni a koji izlazni, precizno je definisano spoljnim logičkim elementima. Svi izlazi transmisionih gejtova spojeni su u jedan čvor, koji predstavlja izlaz logičkog kola. Kolo pravilno radi ako su kontrolni signali tako podešeni da je samo jedan transmisioni gejt u provodnom stanju. Taj transmisioni gejt određuje stanje na izlazu, dok su ostali isključeni i ne utiču na rad kola.

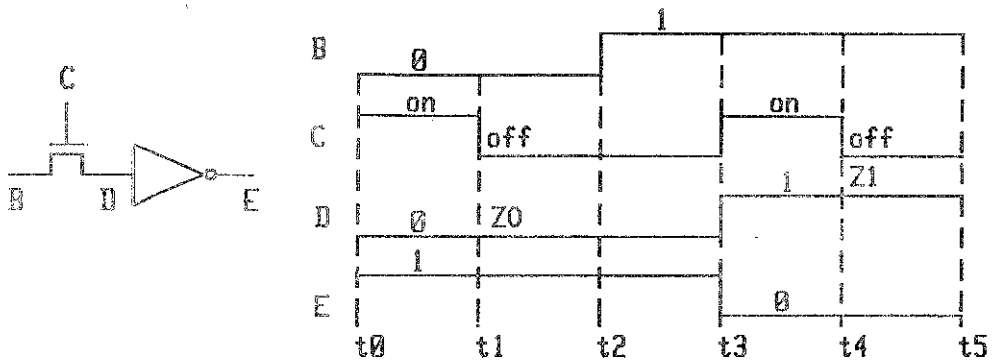
4. Kod simulacije RAM ćelije, koja u svojoj topologiji sadrži transmisioni gejt, javlja se potreba za uvođenjem pojma jačine signala. To je uslovljeno potrebom da se proceni stanje u ćeliji upisom nove logičke vrednosti, koja mora da nadjača prethodno stanje [4].

Naravno, model transmisionog gejta bi trebao da obuhvati sva četiri gore navedena slučaja. Sadašnji model koji poseduje logički simulator LOST [2], zadovoljava samo treći slučaj. To znači da korisnik mora da definiše šta je ulazni, a šta izlazni priključak transmisionog gejta i ta definicija se ne može menjati tokom simulacije, nezavisno od stanja na krajevima transmisionog gejta. U sadašnjoj varijanti LOST-a transmisioni gejt je unilateralan element. Osim toga, nije modelirano memorijsko svojstvo ovog elementa. Ako je kontrolni signal na logičkoj nuli, izlazni signal je u stanju visoke impedanse. To stanje se dalje prenosi na sledeći gejt kao nedefinisano stanje, što u praksi nije tačno.

2. MODEL TRANSMISIONOG GEJTA

U logičkom simulatoru LOST koristimo model od šest logičkih stanja, [2]: 0 logičku nulu; $0 > 1$ prelaz iz stanja logičke nule u stanje logičke jedinice; * nepoznato ili neodređeno stanje, uključujući hazard ili pik; 1 logičku jedinicu; $0 < 1$ prelaz iz stanja logičke jedinice u stanje logičke nule i stanje visoke impedanse Z.

Umesto stanja visoke impedanse uvedena su tri nova stanja: Z0, Z1, ZX [6]. To su takozvana plivajuća stanja koja se javljaju kada transmisioni gejt prelazi u stanje visoke impedanse, slika 1. Stanje Z0 javiće se ako je transmisioni gejt pre prelaza u stanje visoke impedanse bio na logičkoj nuli, odnosno Z1 ako je bio na logičkoj jedinici. Stanje ZX označava da je transmisioni gejt u stanju visoke impedanse, ali da se sa sigurnošću ne može



Slika 1.

utvrditi koje se stanje zadržalo na njegovom izlaznom priključku. Sa vremenskog dijagrama datog na slici 1 može se zapaziti da nova logička stanja Z0, Z1 i ZX naredni gejt tretira, sukcesivno, kao logičku nulu, logičku jedinicu i neodređeno stanje. To znači da sva ostala logička kola u simulatoru koriste isti broj stanja. Povećanje broja stanja odnosi se samo na transmisioni gejt.

2.1. Transmisioni gejt kao bilateralni element

Sama konstrukcija transmisionog gejta omogućava mu da propušta signale u oba smera. Tu osobinu bilateralnosti transmisionog gejta razmotrićemo na kolu sa slike 2, gde su prikazani i odgovarajući signali. Razmotrićemo dva slučaja u kojima se transmisioni gejt, označen sa G7 ponaša kao bilateralni element.

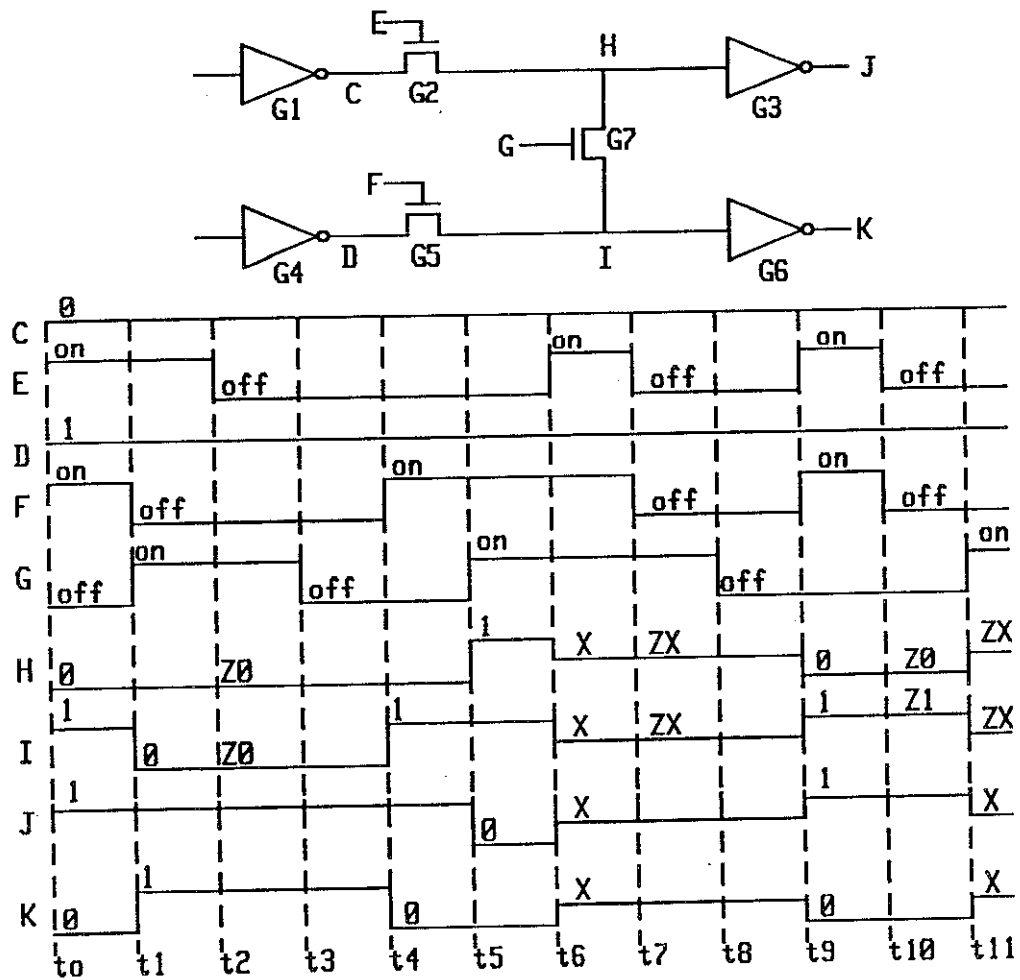
1. U trenutku t_1 gejtovi označeni sa G2 i G7 vode, dok gejt G5 ne vodi. Mogući smer signala kroz gejt G7 je od H ka I.

2. U trenutku t_5 transmisioni gejtovi označeni sa G7 i G5 vode, a G2 ne vodi. Mogući smer signala je od I ka H, znači suprotno od prethodnog slučaja.

Da bi modelirali transmisioni gejt kao bilateralni element, pošli smo od činjenice da bilateralnost gejta određuje spoljna konfiguracija logičkog kola za koju je on vezan. Na slici 2, samo transmisioni gejt označen sa G7 može pokazati osobinu bilateralnosti. Transmisioni gejtovi G2 i G5 tu osobinu ne mogu pokazati, jer su njihovi priključci vezani za izlaze gejtova G1 i G4, respektivno. To uzrokuje da su kod njih tačno definisani ulazni priključci u čvorovima C i D i to bez obzira na promene logičkih stanja u kolima.

Na bazi ovakvog razmišljanja, možemo zaključiti da će model za transmisioni gejt G7, koji pokazuje osobinu bilateralnosti, biti isti kao i za transmisione gejtove G2 i G5, koji tu osobinu nemaju. Razlika se sastoji samo u tome što je za transmisioni gejt G7 neophodno izvršiti odgovarajuće promene u sadržaju tabele koja opisuje topologiju logičkog kola. Te promene odnose se na zamenu čvorova koji predstavljaju ulaz odnosno izlaz

transmissionoggejta. U jednom slučaju u odgovarajućoj tabeli, ulaz će biti čvor H a izlaz čvor I; u drugom slučaju doći će do promene sadržaja tabele, pa će čvor H biti izlaz a čvor I ulaz.



Slika 2.

To znači da mi uvek modeliramo transmisioni gejt kao unilateralni element. Međutim, za one transmisionne gejtove koji pokazuju osobinu bilateralnosti, moramo, u datom trenutku, odrediti koji čvor predstavlja ulaz, a koji izlaz.

2.2. Modeliranje basa

Modeliranje transmisionog gejta, kada je on vezan za isti čvor sa drugim transmisionim gejtovima, zahteva razrešenje sledećih mogućih situacija [2]:

1. Transmisioni gejtovi ne vode. Zajednički izlaz je u stanju visoke impedanse. Ovakva situacija je regularna.

2. Jedan transmisioni gejt vodi a ostali ne vode. Transmisioni gejt koji vodi kontroliše stanje izlaza. To stanje postaje jednako stanju ulaza na datom transmisionom gejtu. Ovakvo stanje je regularno.

3. Dva ili više transmisionih gejtova vode, odgovarajući ulazni signali imaju isto logičko stanje. Izlazni signal je takodje u tom stanju. Ovakva situacija je regularna [6].

4. Dva ili više transmisionih gejtova vode, a odgovarajući ulazni signali imaju različita logička stanja. Na izlazu nastaje konflikt (kratak spoj logičke jedinice-VDD na logičku nulu-masu). Ova situacija je zabranjena.

Dosadašnji model transmisionog gejta u logičkom simulatoru LOST, uspešno je razrešio sve gore navedene situacije.

2.3. Jačina signala

Kada su dimenzije tranzistora različite njihova odgovarajuća stanja mogu biti jača ili slabija. Primer takvog kola, statička RAM ćelija, dat je na slici 3, (3), (4), (7).

Kao i kod svake memorijske ćelije razlikujemo dve faze rada: čitanje i upis. Da bi sadržaj memorije, zapamćen između gejtova G3 i G4, bio doveden na izlaz potrebno je da u provodnom stanju budu transmisioni gejt G2 i trostatički gejt G5. U neprovodnom stanju biće trostatički gejt G1. Faza upisa zahteva da u provodnom stanju budu gejtovi G1 i G2, a u neprovodnom stanju gejt G5. U čvoru 7 sada postoji konkurencija signala koji je stigao sa ulaza "PODATAK" (preko G1 i G2) i signala koji dolazi sa izlaza invertora G4.

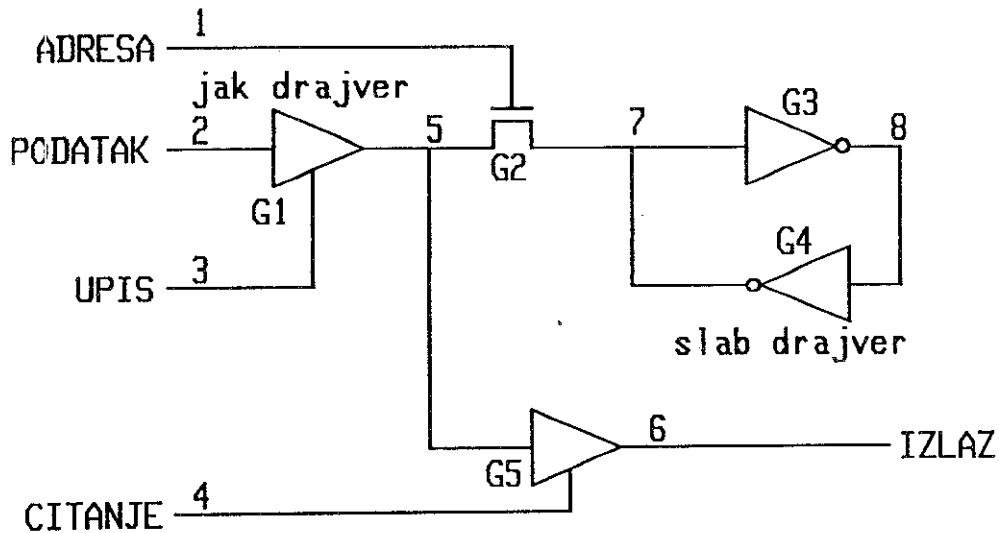
Sadašnja varijanta LOST-a ovaj sukob stanja rešava dovodjenjem čvora 7 u neodređeno stanje, što naravno ne odgovara stvarnoj situaciji. Zbog različite geometrije tranzistora, gejt G1 će proizvesti jači signal od onoga koji proizvodi gejt G4. To će imati za posledicu da će stanje u čvoru 7 biti određeno stanjem na izlazu gejta G1, odnosno stanjem čvora 5.

Da bi uspešno razrešili ovakve situacije, potrebno je uvesti jačinu signala. Naravno da u logičkom kolu svi signali imaju istu jačinu. Za pojedine signale, koji potiču od gejtova sa izraženim pobudnim svojstvima, mora se definisati veća jačina od ostalih signala u kolu. Da bi to ugradili, u logičkom simulatoru LOST moramo izvršiti sledeće promene:

1. U ulaznom jeziku LOSTIN omogućiti definisanje gejtova čiji će signali imati veću jačinu od ostalih u logičkom kolu.

2. U slučaju sukoba dva signala promeniti algoritam tako da se prvo proverí da li takvi signali potiču od gejtova čiji su signali različitih jačina. Ako je to slučaj, gejt koji

prizvodi jači signal određuje stanje u tom čvoru. U suprotnom, takav čvor prelazi u neodređeno stanje.



Slika 3.

3. ZAKLJUČAK

Razvijen je model transmisionog gejta koji će razrešiti probleme vezane za ovaj specifični element. Uvedena su nova stanja koja omogućavaju modeliranje nagomilanog naelektrisanja na krajevima transmisionog gejta. Povećani broj stanja odnosi se samo na transmisioni gejt, dok ostali elementi u logičkom simulatoru zadržavaju prethodni broj stanja. Ovde se nameće pitanje, da li je potrebno kontrolisati vremenski interval u kome se transmisioni gejt nalazi u stanju Z0, odnosno Z1. To je razumljivo, jer su veličine otpornosti transmisionog gejta, kad on ne vodi, ulazne otpornosti i kapacitivnosti narednog MOS kola - konačne. Rezultat toga je pražnjenje nagomilanog naelektrisanja na krajevima transmisionog gejta. To ima za posledicu da će posle izvesnog vremena stanje Z0 i Z1 preći u neodređeno stanje ZX. Mi takav slučaj u modeliranju transmisionog gejta nismo uzeli u obzir [6]. Ako se pak očekuje takva mogućnost, moguće je upotrebom naredbe za kontrolu širine impulsa [2], proveriti vremensko trajanje stanja Z0, odnosno Z1. Takva mogućnost nije sastavni deo modela transmisionog gejta već se odnosi na sam logički simulator i može se koristiti za proveru vremenskog trajanja bilo kog logičkog stanja, uključujući i stanja Z0 i Z1.

Osobinu bilateralnosti razrešili smo menjajući podatke koji se odnose na transmisioni gejt u tabeli koja opisuje topologiju logičkog kola. To nam omogućava uprošćenje modela transmisionog gejta, koji se sada svodi na model unilateralnog elementa.

Problem konkurencije signala razrešili smo uvođenjem jačine signala. Algebra vezana za jačinu signala [4], svedena je na minimum. Svi signali u simuliranom logičkom kolu imaju istu jačinu. Samo u slučaju konkurencije signala primenjuje se pravilo jačeg signala, koje određuje stanje u tom čvoru.

Model transmisionog gejtta razvijen na ovim principima biće ugrađen u novu verziju logičkog simulatora LOST.

4. LITERATURA

- [1] P. L. Flake, P. R. Moorby G. Musgrave, "Logic Simulation of Bi-directional Tri-state Gates", Proc. of ICCD 80, Port Chaster, pp 594-600.
 - [2] Stojanović Z., "LOST-LOGIČKI SIMULATOR", Magistarski rad, Elektronski fakultet Niš, 1989.
 - [3] P. Petković, ed. V. Litovski, Z. Stojanović, S. Milenković, T. Radenković, Z. Radenković, "Projektovanje VLSI", Prvi deo, NAUKA, Beograd, 1991.
 - [4] P. L. Flake, P. R. Moorby, G. Musgrave, "AN ALGEBRA FOR LOGIC STRENGTH SIMULATION", Proc of 20th Design Automation Conference, Miami Beach, Jun 27-29 1983, pp 615-618.
 - [5] Stojanović Z., Litovski V. B., "Modeli ćelija u logičkom simulatoru LOST", Zbornik radova XII Jugoslovenskog Savetovanja o Mikroelektronici, NIEL 85, Ljubljana, 8. maj 1985, Tom I, str 115-121.
 - [6] Dan Holt, Dave Hutchings, "A MOS/LSI ORIENTED LOGIC SIMULATOR", Proc of 18th Design Automation Conference, Tennessee, June 29,30, 1 July 1981, pp 280-287.
 - [7] Robert M. McDermot, "Transmission Gate Modeling in an Existing Three-Value Simulator", Proc. of 19th Design Automation Conference, Las Vegas, 1982, pp678-681.
-
